

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-016219

(43)Date of publication of application : 18.01.2002

(51)Int.Cl.

H01L 27/04

H01L 21/822

(21)Application number : 2000-196678

(71)Applicant : MATSUSHITA ELECTRIC WORKS LTD

(22)Date of filing : 29.06.2000

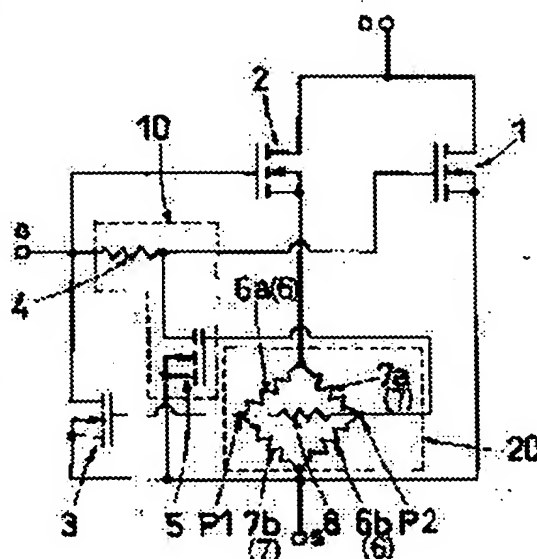
(72)Inventor : NOBE TAKESHI  
AKIYAMA SHIGEO  
FURUMOTO NORITERU  
SUNADA TAKUYA

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To protect a semiconductor device by limiting a momentary overcurrent or cutting off a continuous overcurrent, when an instantaneous overcurrent flows.

**SOLUTION:** This semiconductor device is equipped with an MOSFET-type output element 1, an MOSFET-detecting element 2 which is connected to the output element 1 in parallel, a current limiting control circuit 3 which operates to limit the conduction of the output element 1 to protect the output element 1, a current cutoff control circuit 10 which operates to shield the output element 1 to protect the output element 1, and a control switching circuit 20 which is connected to the detecting element 2 in series and switches the control circuit 10 operating, to protect the output element 1 to the current limiting control circuit 3 or the current cutoff control circuit 10, according to temperature nearby the output element 1, when a current larger than a specific current flows.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-16219

(P2002-16219A)

(43) 公開日 平成14年1月18日 (2002.1.18)

(51) Int. Cl.

H 0 1 L 27/04  
21/822

識別記号

F I

H 0 1 L 27/04

ターミナル(参考)

H 6 F 0 3 8

審査請求 未請求 請求項の数 9 O L (全 10 頁)

(21) 出願番号 特願2000-199678(P2000-199678)

(22) 出願日 平成12年6月29日 (2000.6.29)

(71) 出願人 00005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72) 発明者 野辺 武

大阪府門真市大字門真1048番地松下電工株式会社内

(72) 発明者 秋山 茂夫

大阪府門真市大字門真1048番地松下電工株式会社内

(74) 代理人 100111556

弁理士 安藤 淳二 (外1名)

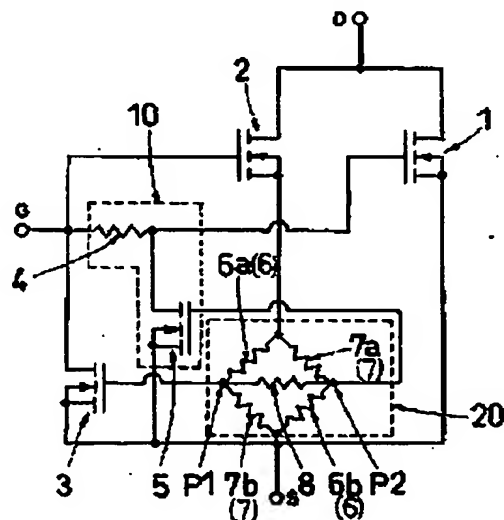
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 瞬時の過電流が流れる場合には電流制限により、継続的な過電流が流れる場合には電流遮断により保護されるようにする。

【解決手段】 MOSFET型の出力用素子1と、出力用素子1に並列接続されたMOSFET型の検出用素子2と、出力用素子1を保護するために出力用素子1の導通を制限するよう動作する電流制限制御回路3と、出力用素子1を保護するために出力用素子1を遮断するよう動作する電流遮断制御回路10と、検出用素子2に直列接続され所定電流以上の電流が流れた場合に出力用素子1を保護するために動作する制御回路を出力用素子1の近傍温度に応じて電流制限制御回路3又は電流遮断制御回路10に切替える制御切替回路20と、を備えた構成になっている。



(2)

特開2002-16219

1

2

【特許請求の範囲】

【請求項1】 MOSFET型の出力用素子と、出力用素子に並列接続されたMOSFET型の検出用素子と、出力用素子を保護するために出力用素子の導通を制限するよう動作する電流制限制御回路と、出力用素子を保護するために出力用素子を遮断するよう動作する電流遮断制御回路と、検出用素子に直列接続され所定電流以上の電流が流れた場合に出力用素子を保護するために動作する制御回路を出力用素子の近傍温度に応じて電流制限制御回路又は電流遮断制御回路に切替える制御切替回路と、を備えたことを特徴とする半導体装置。

【請求項2】 前記電流制限制御回路は、前記出力用素子及び前記検出用素子へのゲート信号をいずれも制限するよう導通する制限用MOSFETを有し、前記電流遮断制御回路は、前記出力用素子へのゲート信号を遮断するよう導通する遮断用MOSFET及びその遮断用MOSFETに導通する電流により前記検出用素子の導通を維持するバイアス電圧を発生するバイアス用抵抗を有し、前記制御切替回路は、制限用MOSFETのゲートに接続された制限用MOSFET接続点と遮断用MOSFETのゲートに接続された遮断用MOSFET接続点との間で電位の高低を逆転させるようインピーダンスが環境温度の上昇に応じて小さくなるインピーダンス可変要素を前記出力用素子に熱的接触するよう配置した請求項1記載の半導体装置。

【請求項3】 前記制御切替回路は、前記インピーダンス可変要素と、前記インピーダンス可変要素と交互に接続されることによりブリッジ回路をなすインピーダンス要素と、ブリッジ回路の一方対向接続点間を接続する接続用抵抗と、を有し、電流の上流側に前記インピーダンス要素を接続した一方対向接続点が前記制限用MOSFET接続点となり、電流の上流側に前記インピーダンス可変要素を接続した一方対向接続点が前記制限用MOSFET接続点となり、ブリッジ回路の一方対向接続点が前記検出用素子に直列接続された請求項2記載の半導体装置。

【請求項4】 前記インピーダンス可変要素は、環境温度が所定温度以上の場合に前記インピーダンス要素よりもインピーダンスが小さくなるサーミスタである請求項3記載の半導体装置。

【請求項5】 前記インピーダンス要素は、ダイオードであり、前記インピーダンス可変要素は、前記インピーダンス要素よりも多くのダイオードが直列接続された直列回路である請求項3記載の半導体装置。

【請求項6】 前記インピーダンス要素は、ダイオードであり、前記インピーダンス可変要素は、ダイオード及び抵抗が直列接続された直列回路である請求項3記載の半導体装置。

【請求項7】 前記インピーダンス可変要素及び前記インピーダンス要素並びに前記接続用抵抗は、ポリシリコ

ン製である請求項5又は請求項6のいずれかに記載の半導体装置。

【請求項8】 前記インピーダンス可変要素のダイオード及び前記インピーダンス要素のダイオードは、前記出力用素子を設けたチップの有する絶縁膜上に設けられ、前記インピーダンス可変要素のダイオードは、前記インピーダンス要素のダイオードよりも高い絶縁膜上に設けられることにより、前記出力用素子に熱的接触する請求項5又は請求項6のいずれかに記載の半導体装置。

10 【請求項9】 前記出力用素子、前記検出用素子、前記制限用MOSFET、前記遮断用MOSFET、前記インピーダンス可変要素、前記インピーダンス要素及び前記接続用抵抗は、いずれも同一チップ上に設けられた請求項5又は請求項6のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、保護機能付きMOS型の半導体装置に関する。

【0002】

20 【従来の技術】この種の半導体装置として、本願出願人は、図5及び図6に示すものを検討中である。

【0003】図5に示す第1実施例の半導体装置は、出力用MOSFET101、出力用MOSFET101に並列接続された検出用MOSFET102、検出用MOSFET102に直列接続された検出用抵抗103、ゲートソース間に検出用抵抗103が接続されるとともにドレインが出力用MOSFET101及び検出用MOSFET102のゲートにそれぞれ接続された電流制限用MOSFET104を備えている。

30 【0004】この半導体装置としてのドレイン端子Dは、出力用MOSFET101及び検出用MOSFET102のドレインに接続されされている。また、この半導体装置としてのソース端子Sは、出力用MOSFET101及び電流制限用MOSFET104のソースに接続されるとともに、検出用抵抗103を介して、検出用MOSFET102のソースに接続されている。さらに、この半導体装置としてのゲート端子Gは、出力用MOSFET101及び検出用MOSFET102のゲートに接続されるとともに、電流制限用抵抗のドレインに接続されている。

40 【0005】このものの動作を説明する。このものは、この半導体装置としてのドレイン端子Dからソース端子Sへ向かって出力用MOSFET101に流れる電流に比例して検出用MOSFET102に電流が流れるから、出力用MOSFET101に過電流が流れる場合には、それに応じて、検出用抵抗103にも多くの電流が流れることになる。

50 【0006】すると、検出用抵抗103の両端間の電圧が高くなり、検出用抵抗103の両端がゲートソース間に接続された電流制限用MOSFET104が導通し

(3)

特開2002-16219

3

て、半導体装置としてのソース端子Sから出力用MOSFET101及び検出用MOSFET102のゲートへ流れるべき電流が、電流制限用MOSFET104を通過して、そのまま、半導体装置としてのソース端子Sに流れるようになる。

【0007】その結果、検出用抵抗103の両端電圧と電流制限用MOSFET104の閾値とが釣り合うよう、ドレイン端子Dからソース端子Sへ向かって、制限された電流が、出力用MOSFET101及び検出用MOSFET102に流れるようになる。

【0008】一方、図6に示す半導体装置は、出力用MOSFET101、出力用MOSFET101に並列接続された検出用MOSFET102、検出用MOSFET102に直列接続された検出用抵抗103、ゲートソース間に検出用抵抗103が接続されドレインが出力用MOSFET101に直接接続されるとともに検出用MOSFET102のゲートにバイアス用抵抗105を介して接続された電流遮断用MOSFET106を備えているこの半導体装置としてのドレイン端子Dは、第1検討例と同様に、出力用MOSFET101及び検出用MOSFET102のドレインに接続されている。また、この半導体装置としてのソース端子Sは、検出用MOSFET102のソースに接続されるとともに、バイアス用抵抗105を介して、出力用MOSFET101のソース及び電流遮断用MOSFET106のドレインに接続されている。

【0009】このものの動作を説明する。このものは、第1検討例と同様に、半導体装置としてのドレイン端子Dからソース端子Sへ向かって、出力用MOSFET101に流れる電流に比例して検出用MOSFET102に電流が流れるから、出力用MOSFET101に過電流が流れる場合には、それに応じて、検出用抵抗103にも多くの電流が流れることになる。

【0010】すると、検出用抵抗103の両端間の電圧が高くなり、検出用抵抗103の両端がゲートソース間に接続された電流遮断用MOSFET106が導通して、半導体装置としてのソース端子Sから出力用MOSFET101のゲートへ流れるべき電流が、バイアス用抵抗105及び電流制限用MOSFET104を通過して、そのまま、半導体装置としてのソース端子Sに流れるようになる。

【0011】その結果、バイアス用抵抗105の両端電圧に相当する分ゲート電位が高い検出用MOSFET102のみが僅かに導通し、出力用MOSFET101が遮断され、僅かに導通する検出用MOSFET102を通過して、検出用抵抗103の両端電圧と電流制限用MOSFET104の閾値とが釣り合うよう、ドレイン端子Dからソース端子Sへ向かって、制限された電流が流れるようになる。

【0012】

4

【発明が解決しようとする課題】上記した第1検討例の半導体装置にあっては、出力用MOSFET101に過電流が流れる場合には、ドレイン端子Dからソース端子Sへ向かって、出力用MOSFET101及び検出用MOSFET102を通過して、制限された電流が流れるようになるから、出力用MOSFET101を過電流から保護することができる。

【0013】しかしながら、このものは、出力用MOSFET101には、依然として、電流が流れ続けているのであるから、ドレイン端子Dとソース端子Sとの間の負荷電圧が上昇すると、自己発熱により、出力用MOSFET101そのものの温度が上昇して、熱破壊してしまう恐れがある。

【0014】また、上記した第2検討例の半導体装置にあっては、出力用MOSFET101に過電流が流れる場合には、出力用MOSFET101が遮断され、僅かに導通する検出用MOSFET102を通過して、ドレイン端子Dからソース端子Sへ向かって、制限された電流が流れるようになるから、出力用MOSFET101を過電流から保護することができる。

【0015】しかしながら、このものは、例えば、突発電流のような瞬時の過電流が流れた場合に、出力用MOSFET101を遮断までしなくてよいときでも、遮断してしまうという問題点がある。

【0016】本発明は、上記の点に着目してなされたもので、その目的とするところは、瞬時の過電流が流れる場合には電流制限により、継続的な過電流が流れる場合には電流遮断により、保護される半導体装置を提供することにある。

【0017】

【課題を解決するための手段】上記した課題を解決するために、請求項1記載の半導体装置は、MOSFET型の出力用素子と、出力用素子に並列接続されたMOSFET型の検出用素子と、出力用素子を保護するために出力用素子の導通を制限するよう動作する電流制限制御回路と、出力用素子を保護するために出力用素子を遮断するよう動作する電流遮断制御回路と、検出用素子に直列接続され所定電流以上の電流が流れた場合に出力用素子を保護するために動作する制御回路を出力用素子の近傍温度に応じて電流制限制御回路又は電流遮断制御回路に切替える制御切替回路と、を備えた構成にしている。

【0018】請求項2記載の半導体装置は、請求項1記載の半導体装置において、前記電流制限制御回路は、前記出力用素子及び前記検出用素子へのゲート信号をいずれも制限するよう導通する制限用MOSFETを有し、前記電流遮断制御回路は、前記出力用素子へのゲート信号を遮断するよう導通する遮断用MOSFET及びその遮断用MOSFETに導通する電流により前記検出用素子の導通を維持するバイアス電圧を発生するバイアス用抵抗を有し、前記制御切替回路は、制限用MOSFET

(4)

特開2002-16219

5

6

のゲートに接続された制限用MOSFET接続点と遮断用MOSFETのゲートに接続された遮断用MOSFET接続点との間で電位の高低を逆転させるようインピーダンスが環境温度の上昇に応じて小さくなるインピーダンス可変要素を前記出力用素子に熱的接触するよう配置した構成にしている。

【0019】請求項3記載の半導体装置は、請求項2記載の半導体装置において、前記制御切替回路は、前記インピーダンス可変要素と、前記インピーダンス可変要素と交互に接続されることによりブリッジ回路をなすインピーダンス要素と、ブリッジ回路の一方対向接続点間を接続する接続用抵抗と、を有し、電流の上流側に前記インピーダンス要素を接続した一方対向接続点が前記制限用MOSFET接続点となり、電流の上流側に前記インピーダンス可変要素を接続した一方対向接続点が前記制限用MOSFET接続点となり、ブリッジ回路の一方の他方対向接続点が前記検出用素子に直列接続された構成にしている。

【0020】請求項4記載の半導体装置は、請求項3記載の半導体装置において、前記インピーダンス可変要素は、環境温度が所定温度以上の場合に前記インピーダンス要素よりもインピーダンスが小さくなるサーミスタである構成にしている。

【0021】請求項5記載の半導体装置は、請求項3記載の半導体装置において、前記インピーダンス要素は、ダイオードであり、前記インピーダンス可変要素は、前記インピーダンス要素よりも多くのダイオードが直列接続された直列回路である構成にしている。

【0022】請求項6記載の半導体装置は、請求項3記載の半導体装置において、前記インピーダンス要素は、ダイオードであり、前記インピーダンス可変要素は、ダイオード及び抵抗が直列接続された直列回路である構成にしている。

【0023】請求項7記載の半導体装置は、請求項5又は請求項6のいずれかに記載の半導体装置において、前記インピーダンス可変要素及び前記インピーダンス要素並びに前記接続用抵抗は、ポリシリコン製である構成にしている。

【0024】請求項8記載の半導体装置は、請求項5又は請求項6のいずれかに記載の半導体装置において、前記インピーダンス可変要素のダイオード及び前記インピーダンス要素のダイオードは、前記出力用素子を設けたチップの有する絶縁膜上に設けられ、前記インピーダンス可変要素のダイオードは、前記インピーダンス要素のダイオードよりも薄い絶縁膜上に設けられることにより、前記出力用素子に熱的接触する構成にしている。

【0025】請求項9記載の半導体装置は、請求項5又は請求項6のいずれかに記載の半導体装置において、前記出力用素子、前記検出用素子、前記制限用MOSFET、前記遮断用MOSFET、前記インピーダンス可変

要素、前記インピーダンス要素及び前記接続用抵抗は、いずれも同一チップ上に設けられた構成にしている

【0026】

【発明の実施の形態】本発明の第1実施形態の半導体装置を図1及び図2に基づいて以下に説明する。

【0027】1は出力用MOSFET（MOSFET型の出力用素子）で、そのドレインが、本半導体装置としてのドレイン端子Dに接続され、ソースが、本半導体装置としてのソース端子Sに接続され、ゲートが、後述するバイアス用抵抗4を介して、本半導体装置としてのゲート端子Gに接続されている。この出力用MOSFET1は、ドレイン端子Dとソース端子Sとの間に接続された負荷（図示せず）に電力を供給するよう、ドレインソース間が導通する。

【0028】2は検出用MOSFET（MOSFET型の検出用素子）で、出力用MOSFET1に並列接続され、そのドレインが、本半導体装置としてのドレイン端子Dに接続され、ソースが、後述する制御切替回路を介して、本半導体装置としてのソース端子Sに接続され、ゲートが、本半導体装置としてのゲート端子Gに接続されている。

【0029】3は制限用MOSFET（電流制限制御回路）で、そのドレインが、バイアス用抵抗4を介して、出力用MOSFET1のゲートに接続されるとともに、検出用MOSFET2のゲート及び本半導体装置としてのゲート端子Gに接続されている。また、この制限用MOSFET3は、そのソースが、本半導体装置としてのソース端子Sに接続されるとともに、ゲートが、後述する制御切替回路に接続されている。

【0030】5は遮断用MOSFETで、そのドレインに接続されたバイアス用抵抗4と共に、電流遮断制御回路10を構成する。この遮断用MOSFET5は、そのドレインが、出力用MOSFET1のゲートに直接接続されるとともに、バイアス用抵抗4を介して、検出用MOSFET2のゲート及び本半導体装置としてのゲート端子Gに接続されている。また、この遮断用MOSFET5は、そのソースが、本半導体装置としてのソース端子Sに接続されるとともに、ゲートが、後述する制御切替回路に接続されている。

【0031】6a、6bはインピーダンス要素6をなすサーミスタである。7a、7bは、インピーダンス可変要素7をなすサーミスタ7a、7bで、サーミスタ6a、6bと交互に接続されることによりブリッジ回路を形成する。このサーミスタ7a、7bは、図2に示すように、サーミスタ6a、6bとは異なり、出力用MOSFET1の近傍に位置するように配置され、出力用MOSFET1と熱的接触するようにしている。このサーミスタ7a、7bは、通常温度の場合は、サーミスタ6a、6bよりもインピーダンスが大きい。温度上昇して、所定温度以上になった場合には、サーミスタ6a、

(5)

特開2002-16219

7

6bよりもインピーダンスが小さくなる。

【0032】これらのサーミスタ6a、6b、7a、7bからなるブリッジ回路は、その対の一方対向接続点のうち、電流の上流側にサーミスタ6aを接続した一方対向接続点が、制限用MOSFET3のゲートに接続される制限用MOSFET接続点P1となり、電流の上流側にサーミスタ7aを接続した一方対向接続点が、遮断用MOSFET5に接続される遮断用MOSFET接続点P2となる。このブリッジ回路は、検出用MOSFET2と本半導体素子としてのソース端子Sとの間に、直列接続されている。

【0033】8は接続抵抗で、サーミスタ6a、6b及びサーミスタ7a、7bからなるブリッジ回路の一方対向接続点間、すなわち、制限用MOSFET接続点P1と遮断用MOSFET接続点P2との間を接続し、サーミスタ6a、6b及びサーミスタ7a、7bと共に、制御切替回路20を構成する。

【0034】次に、このものの動作を説明する。この半導体装置としてのゲート端子Gから、出力用MOSFET1及び検出用MOSFET2のそれぞれのゲートに、ゲート信号が入力されると、出力用MOSFET1及び検出用MOSFET2のそれぞれのドレインソース間が導通する。

【0035】このとき、検出用MOSFET2のドレインソース間を流れた電流は、制御切替回路20を通過して、半導体装置としてのソース端子Sへ流れるにあたって、通常温度では、サーミスタ6aのインピーダンスがサーミスタ7aのインピーダンスよりも小さいから、サーミスタ6a-制限用MOSFET接続点P1-接続抵抗8-遮断用MOSFET接続点P2-サーミスタ6bの順に流れることになる。

【0036】従って、制限用MOSFET接続点P1は、遮断用MOSFET接続点P2よりも電位が高くなり、この制限用MOSFET接続点P1にゲートが接続されている制限用MOSFET3が、遮断用MOSFET接続点P2にゲートが接続されている遮断用MOSFET5よりも先に、ドレインソース間が導通可能となっている。

【0037】ここで、負荷短絡等により、出力用MOSFET1及び検出用MOSFET2のドレインソース間に過大電流が流れた場合、制限用MOSFET接続点P1の電位が上昇するため、この制限用MOSFET接続点P1にゲートが接続された制限用MOSFET3のドレインソース間が導通し、ゲート端子Gからのゲート信号が、この導通した制限用MOSFET3のドレインソース間を通過して、ソース端子Sに流れるようになる。

【0038】すると、出力用MOSFET1及び検出用MOSFET2のゲートに流入されるゲート信号が制限され、出力用MOSFET1及び検出用MOSFET2のドレインソース間に流れる電流が制限される。検出用

8

MOSFET2のドレインソース間に流れる電流が制限されると、制限用MOSFET3接続点の電位が低下して、その制限用MOSFET3接続点にゲートが接続された制限用MOSFET3のドレインソース間が導通するようになる。

【0039】結果として、制限用MOSFET3の閾値と制限用MOSFET接続点P1の電位とが釣り合う状態で、出力用MOSFET1及び検出用MOSFET2のドレインソース間に流れる電流が制限されることとなる。

【0040】このようにして、出力用MOSFET1及び検出用MOSFET2のドレインソース間に流れる電流の制限される状態が継続した場合に、出力用MOSFET1が発熱すると、この出力用MOSFET1に熱的接触するよう配置されたサーミスタ7a、7bの環境温度が所定温度以上に上昇する。すると、サーミスタ7a、7bのインピーダンスが、サーミスタ6a、6bのインピーダンスよりも小さくなるので、検出用MOSFET2のドレインソース間を流れた電流は、制御切替回路20を通過して、半導体装置としてのソース端子Sへ流れるにあたって、サーミスタ7a-遮断用MOSFET接続点P2-接続抵抗8-制限用MOSFET接続点P1-サーミスタ7bの順に流れることになる。

【0041】従って、遮断用MOSFET接続点P2は、制限用MOSFET接続点P1よりも電位が高くなり、この遮断用MOSFET接続点P2にゲートが接続されている遮断用MOSFET5が、制限用MOSFET接続点P1にゲートが接続されている制限用MOSFET3よりも先に、ドレインソース間が導通可能となっている。

【0042】この状態で、出力用MOSFET1及び検出用MOSFET2のドレインソース間に流れる電流により、遮断用MOSFET接続点P2の電位が上昇した場合、この遮断用MOSFET接続点P2にゲートが接続された遮断用MOSFET5のドレインソース間が導通し、ゲート端子Gからのゲート信号が、この導通した制限用MOSFET3のドレインソース間及びバイアス用抵抗4を通過して、ソース端子Sに流れるようになる。

【0043】すると、出力用MOSFET1及び検出用MOSFET2のゲートに流入されるゲート信号が遮断され、出力用MOSFET1及び検出用MOSFET2のドレインソース間に流れる電流が遮断される。

【0044】一方、検出用MOSFET2は、バイアス用抵抗4に流れる電流により、バイアス用抵抗4の両端電圧に相当する分、出力用MOSFET1よりもゲート電位が高いので、ドレインソース間が僅かに導通し続ける。

【0045】その結果、遮断用MOSFET接続点P2の電位が低下することはない、遮断用MOSFET5が導通したままの状態が継続するので、出力用MOSFET

(5)

特開2002-16219

9

10

T1のドレインソース間の遮断状態が継続することとなる。

【0046】かかる半導体装置にあっては、瞬時の過電流が流れる場合には、制限用MOSFET接続点P1の電位が上昇することにより、制限用MOSFET3のゲート電位が上昇して、制限用MOSFET3が導通するから、出力用MOSFET1のゲート信号を制限するようになって、出力用MOSFET1に流れる電流を制限し、出力用MOSFET1を保護することができる。また、継続的な過電流が流れる場合には、その継続的な過電流に基づく発熱に伴った環境温度の上昇に応じて、出力用MOSFET1に熱的接触するよう配置されたインビダンス可変要素7のインビダンスが小さくなって、制限用MOSFET接続点P1よりも遮断用MOSFET接続点P2の電位が高くなることにより、遮断用MOSFET5のゲート電位が上昇して、遮断用MOSFET5が導通するから、出力用MOSFET1へのゲート電流を遮断するようになって、出力用MOSFET1に流れる電流を遮断し、出力用MOSFET1を保護することができる。

【0047】また、インビダンス可変要素7は、環境温度が所定温度以上の場合にインビダンス要素6よりもインビダンスが小さくなるサーミスタであるから、ブリッジの構成を省略することができる。

【0048】なお、本実施形態では、インビダンス要素6は、サーミスタ6a、6bからなるが、通常温度ではサーミスタ7a、7bよりもインビダンス値が小さく、環境温度が所定温度以上に上昇した状態ではサーミスタ7a、7bよりもインビダンス値が大きい通常の抵抗でも、同様の効果を奏することができる。

【0049】次に、本発明の第2実施形態の半導体装置を図3に基づいて以下に説明する。なお、第1実施形態の半導体装置と実質的に同一の要素には同一の符号を付し、第1実施形態の半導体装置と異なるところのみ記す。第1実施形態の半導体装置では、インビダンス可変要素7がサーミスタ7a、7bであり、インビダンス要素6がサーミスタ6a、6bであるが、本実施形態の半導体装置では、インビダンス可変要素7が、ダイオードを2個直列接続した直列回路7c、7dであり、インビダンス要素6がダイオード6c、6dからなる構成となっている。

【0050】このもののインビダンス可変要素7は、ダイオードの数がインビダンス要素6よりも多いために、通常温度では、インビダンス要素6よりもインビダンスが大きいかけても、出力用MOSFET1と熱的接触しているために、出力用MOSFET1の発熱と共に環境温度が上昇して所定温度以上になると、ダイオードのインビダンスが低下するから、出力用MOSFET1と熱的接触をしていないインビダンス可変要素7よりも、インビダンスが小さくなる。

【0051】また、インビダンス要素6及びインビダンス可変要素7並びに接続抵抗8は、ポリシリコン製となっている。

【0052】また、インビダンス可変要素7のダイオード及びインビダンス要素6のダイオードは、出力用MOSFET1を設けたチップの有する絶縁膜上に設けられ、インビダンス可変要素7のダイオードが、インビダンス要素6のダイオードよりも薄い絶縁膜上に設けられることでも、出力用MOSFET1に熱的接触するようにしている。

【0053】また、出力用MOSFET1、検出用MOSFET2、制限用MOSFET3、遮断用MOSFET5、インビダンス要素6、インビダンス可変要素7及び接続抵抗8は、いずれも同一チップ上に設けられたものとなっている。

【0054】次に、このものの動作のうち、第1実施形態の半導体装置と異なるところを説明する。出力用MOSFET1及び検出用MOSFET2のそれぞれのドレインソース間が導通したときに、検出用MOSFET2のドレインソース間を流れる電流は、制御切替回路20を通過して、半導体装置としてのソース端子Sへ流れるにあたって、通常温度では、ダイオードの数がインビダンス可変要素7より少ないインビダンス要素6の方がインビダンスが小さいために、ダイオード6c-制限用MOSFET接続点P1-接続抵抗8-遮断用MOSFET接続点P2-ダイオード6dの順に流れることになる。従って、制限用MOSFET接続点P1は、遮断用MOSFET接続点P2よりも電位が高くなる。

【0055】また、出力用MOSFET1及び検出用MOSFET2のドレインソース間に流れる電流の制限される状態が継続した場合に、出力用MOSFET1が発熱すると、この出力用MOSFET1に熱的接触するよう配置された直列回路7c、7dの環境温度が所定温度以上に上昇する。

【0056】すると、直列回路7c、7dのインビダンスが、出力用MOSFET1と熱的接触をしていないダイオード6c、6dのインビダンスよりも小さくなるので、検出用MOSFET2のドレインソース間を流れた電流は、制御切替回路20を通過して、半導体装置としてのソース端子Sへ流れるにあたって、直列回路7c-遮断用MOSFET接続点P2-接続抵抗8-制限用MOSFET接続点P1-直列回路7dの順に流れることになる。従って、遮断用MOSFET接続点P2は、制限用MOSFET接続点P1よりも電位が高くなる。

【0057】かかる半導体装置にあっては、第1実施形態の半導体装置と同様に、瞬時の過電流が流れる場合には、制限用MOSFET接続点P1の電位が上昇することにより、制限用MOSFET3のゲート電位が上昇して、制限用MOSFET3が導通するから、出力用MOSFET1のゲート信号を制限するようになって、出力



11

用MOSFET 1に流れる電流を制限し、出力用MOSFET 1を保護することができる。また、継続的な過電流が流れる場合には、その継続的な過電流に基づく発熱に伴った環境温度の上昇に応じて、出力用MOSFET 1に熱的接触するよう配置されたインピーダンス可変要素7のインピーダンスが小さくなって、制限用MOSFET 接続点P 1よりも遮断用MOSFET 接続点P 2の電位が高くなることにより、遮断用MOSFET 5のゲート電位が上昇して、遮断用MOSFET 5が導通するから、出力用MOSFET 1へのゲート電流を遮断するようになり、出力用MOSFET 1に流れる電流を遮断し、出力用MOSFET 1を保護することができる。

【0058】また、インピーダンス要素6が、温度上昇に伴ってインピーダンスが小さくなるダイオードであり、インピーダンス可変要素7が、インピーダンス要素6よりも多くのダイオードが直列接続された直列回路であるから、ブリッジの構成を簡略にすることができる。

【0059】また、インピーダンス要素6及びインピーダンス可変要素7並びに接続用抵抗8は、いずれも、MOSFETのゲート材料であるポリシリコンであるから、MOSFETを形成するときに、合わせて形成されるようになり、製造プロセスを簡略化することができる。

【0060】また、インピーダンス可変要素7のダイオードは、インピーダンス要素6のダイオードよりも薄い絶縁膜上に設けられているから、容易に出力用素子との熱的接触を得ることができ、ひいては、より速く、制御切替回路20による切替を行うことができる。

【0061】また、出力用素子、検出用素子、制限用MOSFET 3、遮断用MOSFET 5、インピーダンス要素6、インピーダンス可変要素7及び接続用抵抗8は、いずれも同一チップ上に設けられているから、小型化を図ることができ、かつ、それぞれの素子の動作特性を揃えることができる。

【0062】次に、本発明の第3実施形態の半導体装置を図4に基づいて以下に説明する。なお、第2実施形態の半導体装置と実質的に同一の素子には同一の符号を付し、第2実施形態の半導体装置と異なるところのみ記す。第2実施形態の半導体装置では、インピーダンス可変要素7は、ダイオードを2個直列接続した直列回路7c、7dであるが、本実施形態の半導体装置では、ダイオード及び抵抗を接続した直列回路7e、7fからなる構成となっている。

【0063】このもののインピーダンス可変要素7は、抵抗を含んでいるために、通常温度では、インピーダンス要素6よりもインピーダンスが大きいが、出力用MOSFET 1と熱的接触しているために、出力用MOSFET 1の発熱と共に環境温度が上昇すると、ダイオードのインピーダンスが低下するから、出力用MOSFET 1と熱的接触をしていないインピーダンス可変

(7)

特開2002-16219

17

素7よりも、インピーダンスが小さくなる。

【0064】次に、このものの動作のうち、第2実施形態の半導体装置と異なるところを説明する。出力用MOSFET 1及び検出用MOSFET 2のそれぞれのドレインソース間が導通したときに、検出用MOSFET 2のドレインソース間を流れる電流は、制御切替回路20を通過して、半導体装置としてのソース端子Sへ流れるにあたって、通常温度では、抵抗を含まないインピーダンス要素6の方が、抵抗を含むインピーダンス可変要素7よりも、インピーダンスが小さいために、ダイオード6c-制限用MOSFET 接続点P 1-接続抵抗8-遮断用MOSFET 接続点P 2-ダイオード6dの順に流れることになる。従って、制限用MOSFET 接続点P 1は、遮断用MOSFET 接続点P 2よりも電位が高くなる。

【0065】また、出力用MOSFET 1及び検出用MOSFET 2のドレインソース間に流れる電流の制限される状態が継続した場合に、出力用MOSFET 1が発熱すると、この出力用MOSFET 1に熱的接触するよう配置された直列回路7e、7fの環境温度が上昇する。

【0066】すると、直列回路7c、7dのインピーダンスが、出力用MOSFET 1と熱的接触をしていないダイオード6c、6dのインピーダンスよりも小さくなるので、検出用MOSFET 2のドレインソース間を流れた電流は、制御切替回路20を通過して、半導体装置としてのソース端子Sへ流れるにあたって、直列回路7e-遮断用MOSFET 接続点P 2-接続抵抗8-制限用MOSFET 接続点P 1-直列回路7fの順に流れることになる。従って、遮断用MOSFET 接続点P 2は、制限用MOSFET 接続点P 1よりも電位が高くなる。

【0067】かかる半導体装置にあっては、第2実施形態の半導体装置と同様に、瞬時の過電流が流れる場合には、制限用MOSFET 接続点P 1の電位が上昇することにより、制限用MOSFET 3のゲート電位が上昇して、制限用MOSFET 3が導通するから、出力用MOSFET 1のゲート信号を制限するようになり、出力用MOSFET 1に流れる電流を制限し、出力用MOSFET 1を保護することができる。また、継続的な過電流が流れる場合には、その継続的な過電流に基づく発熱に伴った環境温度の上昇に応じて、出力用MOSFET 1に熱的接触するよう配置されたインピーダンス可変要素7のインピーダンスが小さくなって、制限用MOSFET 接続点P 1よりも遮断用MOSFET 接続点P 2の電位が高くなることにより、遮断用MOSFET 5のゲート電位が上昇して、遮断用MOSFET 5が導通するから、出力用MOSFET 1へのゲート電流を遮断するようになり、出力用MOSFET 1に流れる電流を遮断し、出力用MOSFET 1を保護することができる。

【0068】また、インピーダンス要素6及びインピー

(3)

特開2002-16219

13

ダンス可変要素7並びに接続用抵抗8が、いずれも、MOSFETのゲート材料であるポリシリコンであるから、製造プロセスを簡略化することができ、インピーダンス可変要素7のダイオードが、インピーダンス要素6のダイオードよりも薄い絶縁膜上に設けられているから、容易に出力用素子との熱的接触を得ることができ、ひいては、より速く、制御切替回路20による切替を行うことができ、出力用MOSFET1、検出用MOSFET2、制限用MOSFET3、遮断用MOSFET5、インピーダンス要素6、インピーダンス可変要素7及び接続用抵抗8が、いずれも同一チップ上に設けられているから、小型化を図ることができ、かつ、それぞれの素子の動作特性を加えることができる。

【0069】また、インピーダンス要素6が、温度上昇に伴ってインピーダンスが小さくなるダイオード6c、6dであり、インピーダンス可変要素7が、ダイオード及び抵抗が直列接続された直列回路7e、7fであるから、ブリッジの構成を簡略にすることができる。

【0070】なお、第1乃至第3実施形態の半導体装置では、MOSFET型の出力用素子及びMOSFET型の検出用素子は、いずれも、MOSFETであるが、IGBT等の他のMOSFET型素子でもよい。

【0071】また、第1及び第2実施形態の半導体装置では、出力用MOSFET1、検出用MOSFET2、制限用MOSFET3、遮断用MOSFET5、インピーダンス要素6、インピーダンス可変要素7及び接続用抵抗8が、いずれも同一チップ上に設けられているが、これに限るわけではなく、ディスクリット部品を組み合わせて構成してもよい。

【0072】また、第1及び第2実施形態の半導体装置では、インピーダンス可変要素7が出力用MOSFET1の近傍に配設される構成、インピーダンス要素6よりも薄い絶縁膜上に設けられる構成をいずれも備えることにより、出力用MOSFET1に熱的接触するようにしているが、例えば、十分に熱的接触できる場合は、いずれか一方の構成のみでもよい。

【0073】

【発明の効果】請求項1記載の半導体装置は、瞬時の過電流が流れる場合には、電流制限制御回路を動作させることにより、出力用素子に流れる電流を制限して、出力用素子を保護することができる。また、継続的な過電流が流れる場合には、その継続的な過電流に基づく発熱に伴った近傍温度の上昇に応じて、制御切替回路が、出力用素子を保護するために動作する制御回路を、電流制限制御回路から電流遮断制御回路10に切替えて、電流遮断制御回路を動作させることにより、出力用素子を遮断して、出力用素子を保護することができる。

【0074】請求項2記載の半導体装置は、瞬時の過電流が流れる場合には、制限用MOSFET接続点の電位が上昇することにより、制限用MOSFETのゲート電

14

位が上昇して、制限用MOSFETが導通するから、出力用素子のゲート信号を制限するようになって、出力用素子に流れる電流を制限し、出力用素子を保護することができる。また、継続的な過電流が流れる場合には、その継続的な過電流に基づく発熱に伴った環境温度の上昇に応じて、出力用素子に熱的接触するよう配設されたインピーダンス可変要素のインピーダンスが小さくなって、制限用MOSFET接続点よりも遮断用MOSFET接続点の電位が高くなることにより、遮断用MOSFETのゲート電位が上昇して、遮断用MOSFETが導通するから、出力用素子へのゲート電流を遮断するようになって、出力用素子に流れる電流を遮断し、出力用素子を保護することができる。

【0075】請求項3記載の半導体装置は、環境温度が通常温度の場合には、インピーダンス可変要素よりもインピーダンスの小さいインピーダンス要素を電流の上流側に接続した一方対向接続点から、インピーダンス可変要素を電流の上流側に接続した一方対向接続点を通して電流が流れるから、制限用MOSFET接続点が遮断用MOSFET接続点よりも電位が高くなり、環境温度が通常温度よりも上昇した場合には、インピーダンス要素よりもインピーダンスの小さいインピーダンス可変要素を電流の上流側に接続した一方対向接続点から、インピーダンス要素を電流の上流側に接続した一方対向接続点を通して電流が流れるから、遮断用MOSFET接続点が制限用MOSFET接続点よりも電位が高くなって、請求項2記載の半導体装置の効果を確実に奏することができる。

【0076】請求項4記載の半導体装置は、請求項3記載の半導体装置の効果に加えて、インピーダンス可変要素は、環境温度が所定温度以上の場合にインピーダンス要素よりもインピーダンスが小さくなるサーミスタであるから、ブリッジの構成を簡略にすることができる。

【0077】請求項5記載の半導体装置は、請求項3記載の半導体装置の効果に加えて、インピーダンス要素が、温度上昇に伴ってインピーダンスが小さくなるダイオードであり、インピーダンス可変要素が、インピーダンス要素よりも多くのダイオードが直列接続された直列回路であるから、ブリッジの構成を簡略にすることができる。

【0078】請求項6記載の半導体装置は、請求項3記載の半導体装置の効果に加えて、インピーダンス要素が、温度上昇に伴ってインピーダンスが小さくなるダイオードであり、インピーダンス可変要素が、ダイオード及び抵抗が直列接続された直列回路であるから、ブリッジの構成を簡略にすることができる。

【0079】請求項7記載の半導体装置は、請求項5又は請求項6のいずれかに記載の半導体装置の効果に加えて、インピーダンス可変要素及びインピーダンス要素並びに接続用抵抗は、いずれも、MOSFETのゲート材

15

料であるボシシリコンであるから、MOSFETを形成するときに、合わせて形成されるようになり、製造プロセスを簡略化することができる。

【0080】請求項8記載の半導体装置は、請求項5又は請求項6のいずれかに記載の半導体装置の効果に加えて、インピーダンス可変要素のダイオードは、インピーダンス要素のダイオードよりも薄い絶縁膜上に設けられているから、容易に出力用素子との熱的接触を得ることができ、ひいては、より速く、制御切替回路による切替を行うことができる。

【0081】請求項9記載の半導体装置は、請求項5又は請求項6のいずれかに記載の半導体装置の効果に加えて、出力用素子、検出用素子、制限用MOSFET、遮断用MOSFET、インピーダンス可変要素、インピーダンス要素及び接続用抵抗は、いずれも同一チップ上に設けられているから、小型化を図ることができ、かつ、それぞれの素子の動作特性を揃えることができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態の回路図である。

【図2】同上の制御切替回路のインピーダンス可変要素と出力用MOSFETとの位置関係を示す回路図である。

【図3】本発明の第2実施形態の回路図である。

(9)

特開2002-16219

16

\*【図4】本発明の第3実施形態の回路図である。

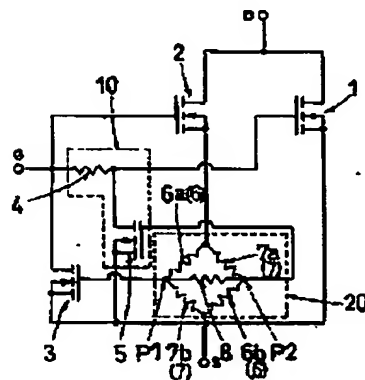
【図5】第1検討例の回路図である。

【図6】第2検討例の回路図である。

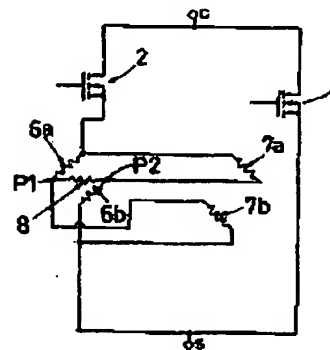
【符号の説明】

- |        |                           |
|--------|---------------------------|
| 1      | 出力用MOSFET (MOSFET型の出力用素子) |
| 2      | 検出用MOSFET (MOSFET型の検出用素子) |
| 3      | 制限用MOSFET (電流制限制御回路)      |
| 4      | バイアス用抵抗                   |
| 5      | 遮断用MOSFET                 |
| 6      | インピーダンス要素                 |
| 6c, 6d | ダイオード                     |
| 7      | インピーダンス可変要素               |
| 7a, 7b | サーミスタ                     |
| 7c, 7d | 直列回路                      |
| 7e, 7f | 直列回路                      |
| 8      | 接続用抵抗                     |
| 10     | 電流遮断制御回路                  |
| 20     | 制御切替回路                    |
| P1     | 制限用MOSFET接続点              |
| P2     | 遮断用MOSFET接続点              |

【図1】



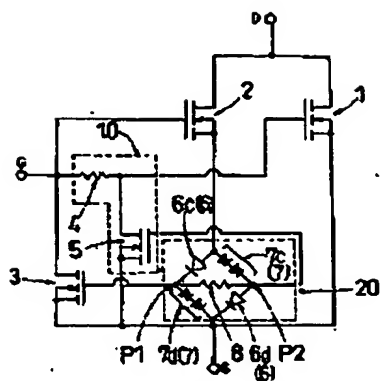
【図2】



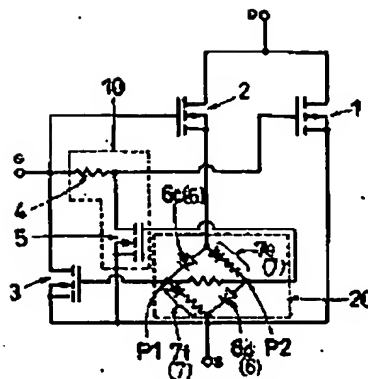
(10)

特開2002-16219

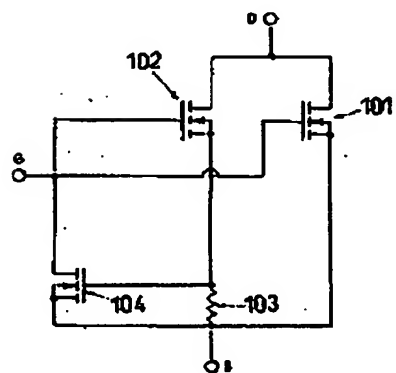
【図3】



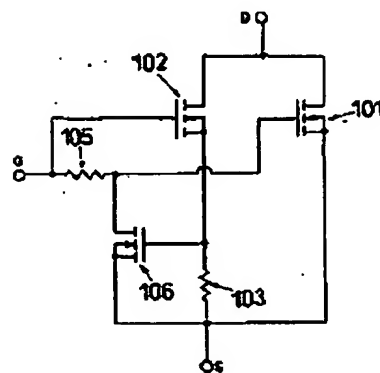
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 古本 憲雄  
大阪府門真市大字門真1048番地松下電工株  
式会社内

(72)発明者 砂田 卓也  
大阪府門真市大字門真1048番地松下電工株  
式会社内

Fターム(参考) 5F038 AV01 BH01 BH02 BH04 BH05  
BH07 BH13 BH16 CA07 DF07  
DF17 EZ04 EZ20